

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-232170

(43)Date of publication of application : 19.08.1994

(51)Int.Cl.

H01L 21/338
H01L 29/812
H01L 21/265
H01L 21/302
H01L 21/318

(21)Application number : 05-013607

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 29.01.1993

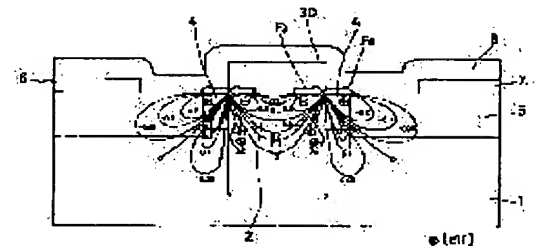
(72)Inventor : KONO YASUTAKA

(54) FIELD EFFECT TRANSISTOR AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To obtain a field effect transistor which can sufficiently restrain the rise delay of a drain current to a pulse gate voltage, and provide a manufacturing method suitable for the field effect transistor.

CONSTITUTION: Stress is intentionally concentrated on a gate electrode 30 end, with a WSi gate electrode 30 having compressive stress and an SiON film 8 having tensile stress. As the result, positive piezo electric charge of high density is generated in a GaAs substrate 1 on the side of the gate electrode 30. Thereby the thickness of a surface depletion layer is reduced, and the channel constriction caused by the surface depletion layer is restrained.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-232170

(43)公開日 平成6年(1994)8月19日

(51)Int.Cl.⁵

H 0 1 L 21/338
29/812
21/265

識別記号

庁内整理番号

F I

技術表示箇所

7376-4M

H 0 1 L 29/ 80

F

8617-4M

21/ 265

V

審査請求 未請求 請求項の数25 O L (全 22 頁) 最終頁に続く

(21)出願番号 特願平5-13607

(22)出願日 平成5年(1993)1月29日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 河野 康孝

兵庫県伊丹市瑞原4丁目1番地 三菱電機

株式会社光・マイクロ波デバイス研究所内

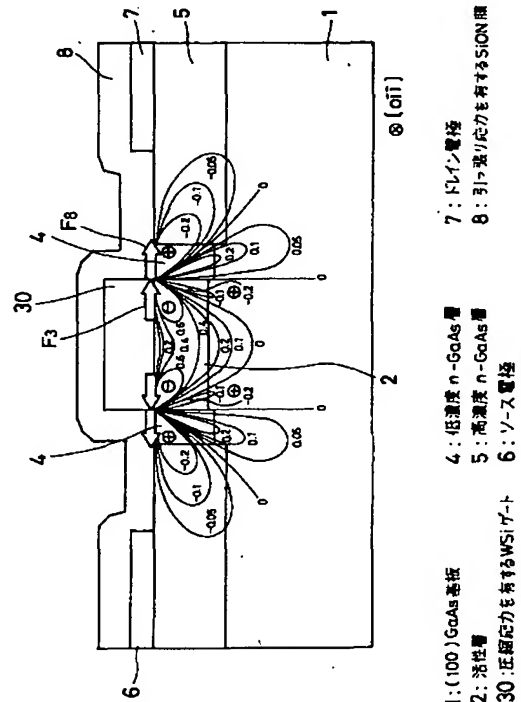
(74)代理人 弁理士 早瀬 憲一

(54)【発明の名称】 電界効果トランジスタ及びその製造方法

(57)【要約】

【目的】 パルスゲート電圧に対するドレイン電流の立上り遅延を充分抑制できる電界効果トランジスタを得ることを目的しており、さらにこの電界効果トランジスタに適した製造方法を提供することを目的とする。

【構成】 圧縮応力を有するWSiゲート電極30と、引っ張り応力を有するSiON膜8によってゲート電極30端へ応力を意図的に集中させてゲート電極30の横のGaAs基板1中に高密度の正のピエゾ電荷を発生させて表面空乏層厚を低減し、表面空乏層によるチャネル狭窄を抑制する。



【特許請求の範囲】

【請求項 1】 化合物半導体基板に形成された活性層上に直接配置されたショットキゲート電極を有する電界効果トランジスタにおいて、

上記ゲート電極とオーミック電極間の基板表面近傍に正のピエゾ電荷が発生するような方向で応力がゲート電極端に集中していることを特徴とする電界効果トランジスタ。

【請求項 2】 請求項 1 記載の電界効果トランジスタにおいて、

上記正のピエゾ電荷は、上記ゲート電極の有する応力成分と、パッシベーション膜となる絶縁膜の有する、上記応力成分と作用方向が同一な応力成分の合成応力によって発生することを特徴とする電界効果トランジスタ。

【請求項 3】 請求項 1 記載の電界効果トランジスタにおいて、

上記ゲート電極側壁には第 1 のサイドウォールが形成され、

上記正のピエゾ電荷は、上記ゲート電極の有する応力成分と、これと作用方向が同一な上記第 1 のサイドウォールの第 1 の応力成分とからなる第 1 の合成応力と、パッシベーション膜となる絶縁膜の有する、上記第 1 の合成応力と作用方向が逆な応力成分と、これと作用方向が同一で上記第 1 のサイドウォールの有する第 2 の応力成分とからなる第 2 の合成応力とによって発生することを特徴とする電界効果トランジスタ。

【請求項 4】 請求項 1 記載の電界効果トランジスタにおいて、

上記ゲート電極側壁には第 1 のサイドウォールが形成され、

該第 1 のサイドウォール側面には第 2 のサイドウォールが形成され、

上記正のピエゾ電荷は、上記ゲート電極の有する応力成分と、これと作用方向が同一な上記第 1 のサイドウォールが有する第 1 の応力成分とからなる第 1 の合成応力と、

上記第 1 の合成応力とは作用方向が逆な、上記第 1 のサイドウォールの有する第 2 の応力成分と、これと作用方向が同一な、上記第 2 のサイドウォールの有する第 1 の応力成分とからなる第 3 の合成応力とによって発生することを特徴とする電界効果トランジスタ。

【請求項 5】 請求項 4 記載の電界効果トランジスタにおいて、

上記第 3 の合成応力と作用方向が同一でかつ上記各サイドウォールよりも比較的小さい応力を有するパッシベーション膜を有することを特徴とする電界効果トランジスタ。

【請求項 6】 請求項 1 記載の電界効果トランジスタにおいて、

上記ゲート電極近傍を除く化合物半導体基板表面には下

地絶縁膜が形成され、さらに該下地絶縁膜上方及び上記ゲート電極近傍の化合物半導体基板表面を含む基板全面に絶縁膜よりなるパッシベーション膜が形成され、

上記正のピエゾ電荷は、上記ゲート電極の有する応力成分と、これと作用方向が同一な上記パッシベーション膜の有する第 1 の応力成分とからなる第 4 の合成応力と、上記第 4 の合成応力とは作用方向が逆な上記パッシベーション膜の有する第 2 の応力成分と、これと作用方向が同一な、上記下地絶縁膜の有する第 1 の応力成分とからなる第 5 の合成応力とによって発生することを特徴とする電界効果トランジスタ。

【請求項 7】 請求項 1 記載の電界効果トランジスタにおいて、

上記ゲート電極上には、該ゲート電極の有する応力と同一方向の応力を有する応力増大用絶縁膜が形成され、

上記正のピエゾ電荷は、上記ゲート電極及び応力増大用絶縁膜の有する応力成分と、パッシベーション膜となる絶縁膜の有する、上記応力成分と作用方向が同一な応力成分の合成応力によって発生することを特徴とする電界効果トランジスタ。

【請求項 8】 請求項 7 記載の電界効果トランジスタにおいて、

上記ゲート電極及び応力増大用絶縁膜の側面に、上記ゲート電極の有する応力と同一方向の第 1 の応力成分と、上記パッシベーション膜の有する応力と同一方向の第 2 の応力成分とを有するサイドウォールを設けたことを特徴とする電界効果トランジスタ。

【請求項 9】 化合物半導体基板にリセスを有する活性層が形成され、該リセス内に直接配置されたショットキゲート電極を有する電界効果トランジスタにおいて、上記リセス側壁に、上記ゲート電極近傍の化合物半導体基板中に正のピエゾ電荷が発生するような応力を有する、絶縁膜よりなるサイドウォールを備えたことを特徴とする電界効果トランジスタ。

【請求項 10】 化合物半導体基板に形成された活性層上に直接配置されたショットキゲート電極を有する電界効果トランジスタにおいて、

基板厚方向に深くなるにつれてゲート電極側に近づくような形状を有する高濃度不純物領域を上記活性層両側に有することを特徴とする電界効果トランジスタ。

【請求項 11】 請求項 10 記載の電界効果トランジスタにおいて、

基板厚方向に深くなるにつれてゲート電極とのオーバーラップ量が増大するような形状の低濃度不純物領域を有することを特徴とする電界効果トランジスタ。

【請求項 12】 請求項 11 記載の電界効果トランジスタにおいて、

ソース電極側の上記低濃度不純物領域は、ドレイン電極側の低濃度不純物領域に比べてゲート電極とのオーバーラップ量が少ないことを特徴とする電界効果トランジスタ。

タ。

【請求項13】 化合物半導体基板に形成された活性層上に直接ゲート電極を配置し、該ゲート電極をマスクとして不純物を注入して不純物領域を形成する工程を有する電界効果トランジスタの製造方法において、化合物半導体基板中に活性層を形成する工程と、高融点金属からなるゲート電極を、該ゲート電極近傍にて正のピエゾ電荷が発生するような所定方向に応力を有するようスパッタ条件を調整して形成する工程を含むことを特徴とする電界効果トランジスタの製造方法。

【請求項14】 請求項13記載の電界効果トランジスタの製造方法において、上記ゲート電極を形成した後、該ゲート電極近傍にて正のピエゾ電荷が発生するような所定方向に応力を有するよう成膜条件を調整してパッシベーション膜を形成する工程を有することを特徴とする電界効果トランジスタの製造方法。

【請求項15】 請求項14記載の電界効果トランジスタの製造方法において、上記パッシベーション膜を形成する前に、上記ゲート電極近傍を除く基板表面に、上記ゲート電極近傍にて正のピエゾ電荷が発生するような所定方向に応力を有するよう成膜条件を調整して下地絶縁膜を形成する工程を有することを特徴とする電界効果トランジスタの製造方法。

【請求項16】 請求項14記載の電界効果トランジスタの製造方法において、上記パッシベーション膜を形成する前に、上記ゲート電極をマスクとして不純物注入を行い低濃度不純物領域を形成する工程と、上記ゲート電極側面に絶縁膜からなるサイドウォールを形成し、上記ゲート電極及び該サイドウォールをマスクとして不純物を注入して不純物注入領域を形成する工程と、上記サイドウォールを除去した後、アニールを行い上記不純物注入領域を活性化して高濃度不純物領域を形成する工程を有することを特徴とする電界効果トランジスタの製造方法。

【請求項17】 請求項16記載の電界効果トランジスタの製造方法において、上記アニールにより各不純物領域を活性化した後、上記ゲート電極側面に、ゲート電極とオーミック電極間の化合物半導体基板表面近傍に正のピエゾ電荷が発生するような方向の応力を有する絶縁膜からなるサイドウォールを成膜条件を調整して再度形成する工程を有することを特徴とする電界効果トランジスタの製造方法。

【請求項18】 請求項17記載の電界効果トランジスタの製造方法において、上記再度サイドウォールを形成した後、その側面に、ゲート電極とオーミック電極間の化合物半導体基板表面近

傍に正のピエゾ電荷が発生するような方向の応力を有するよう成膜条件を調整して絶縁膜からなる第2のサイドウォールを形成する工程を有することを特徴とする電界効果トランジスタの製造方法。

【請求項19】 請求項18記載の電界効果トランジスタの製造方法において、上記ゲート電極とオーミック電極間の化合物半導体基板表面近傍に正のピエゾ電荷が発生するような方向の比較的小さい応力を有するパッシベーション膜となる絶縁膜を形成する工程を有することを特徴とする電界効果トランジスタの製造方法。

【請求項20】 請求項14記載の電界効果トランジスタの製造方法において、上記ゲート電極上に、該ゲート電極の有する応力の向きと同一方向の応力を有する応力増大用絶縁膜を成膜条件を調整して形成する工程を有することを特徴とする電界効果トランジスタの製造方法。

【請求項21】 請求項20記載の電界効果トランジスタの製造方法において、上記ゲート電極及び応力増大用絶縁膜の側面に、ゲート電極近傍にて正のピエゾ電荷が発生するような所定方向に応力を有するよう成膜条件を調整してサイドウォールを形成する工程を有することを特徴とする電界効果トランジスタの製造方法。

【請求項22】 化合物半導体基板に形成された活性層にリセスを設け、該リセス内にゲート電極を直接形成する工程を有する電界効果トランジスタにおいて、上記リセス内にゲート電極を形成した後、上記リセス側壁に、上記ゲート電極近傍の化合物半導体基板中に正のピエゾ電荷が発生するような応力を有する、絶縁膜よりなるサイドウォールを成膜条件を調整して形成する工程を有することを特徴とする電界効果トランジスタの製造方法。

【請求項23】 化合物半導体基板に形成された活性層上にゲート電極を直接配置する工程を有する電界効果トランジスタの製造方法において、上記ゲート電極側面にサイドウォールを形成する工程と、上記ゲート電極及びサイドウォールをマスクとして斜め方向に不純物注入を行い、基板厚方向に深くなるにつれてゲート電極側に近づくような形状の不純物領域を形成する工程を含むことを特徴とする電界効果トランジスタの製造方法。

【請求項24】 請求項23記載の電界効果トランジスタの製造方法において、上記不純物領域を形成する前に、上記ゲート電極をマスクとして斜め方向に不純物注入を行い、基板厚方向に深くなるにつれてゲート電極とのオーバーラップ量が増大するような形状の低濃度不純物領域を形成する工程を含むことを特徴とする電界効果トラン

ジスタの製造方法。

【請求項25】 請求項24記載の電界効果トランジスタの製造方法において、

上記低濃度不純物領域形成時の不純物注入を行う際に、ソース電極側の低濃度不純物領域が、ドレイン側の低濃度不純物領域に比べてゲート電極とのオーバーラップ量が少くなるよう注入条件を変えて行うことを特徴とする電界効果トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は電界効果トランジスタ及びその製造方法に関し、特にパルスゲート電圧に対するドレイン電流の立ち上がり遅延が抑制された高性能化合物半導体電界効果トランジスタとその製造方法に関するものである。

【0002】

【従来の技術】図19、図21は従来の代表的な2つのタイプの電界効果トランジスタを示す断面側面図で、図19はプレーナ型電界効果トランジスタ、図21はリセス型電界効果トランジスタである。図中、1は(100)GaAs基板、2、15はGaAs基板1表面に形成されたn-GaAs層(活性層)、3はWSiよりなるゲート電極、4はゲート電極3近傍の活性層2に形成された低濃度n-GaAs層、5は後述するソース・ドレイン電極をオーミック接触させるために活性層2に形成された高濃度n-GaAs層、16はTi/Pt/Auよりなるゲート電極、6、7はそれぞれAuGe/Ni/Auよりなるソース及びドレイン電極、21はSiON、SiO、SiN等で形成されたパッシベーションとなる絶縁膜、23はフォトレジスト、24は絶縁膜である。また図20、図22はそれぞれ上記2つのタイプの電界効果トランジスタの製造工程を示す断面側面図である。

【0003】以下それぞれの場合について図に従って説明する。まずプレーナ型電界効果トランジスタの製造方法について図20に従って説明する。図20(a)に示すように、(100)半絶縁性GaAs基板1上にイオン注入法によりn-GaAs層(活性層)2を形成したのち、WSiをスパッタ法にてウェハ全面に堆積した後、パターンニングされたフォトレジストを設け、これをマスクとして反応性イオンエッチングにて上記堆積したWSiを加工し、WSiゲート3を形成する(図20(b))。

【0004】その後、図20(c)に示すように、WSiゲート3をマスクにして、Si⁺を50KeV、2E12cm⁻²の条件でイオン注入することで低濃度n-GaAs層4を形成する。

【0005】さらにSiO膜をウェハ全面に堆積したのちCHF₃/O₂の混合ガスを用いた反応性イオンエッチングにてSiO膜を異方性エッチングする。このとき

WSiゲート3の側壁にはSiO膜よりなる額縁、いわゆるサイドウォール9が形成される(図20(d))。

【0006】さらにこのサイドウォール9とWSiゲート3をマスクとして、Si⁺を60KeV、3E13cm⁻²の条件でイオン注入した後、サイドウォール9をBHfにて除去し、続いて800℃、30分のアニールを行い高濃度n-GaAs層5を形成する。上記サイドウォール9は800℃の熱処理ではGaAs基板と反応して基板中のGa、As等が抜けたり、またその界面にてリーク層ができてたりしてFET特性を劣化させるために、上記アニール前に必ず除去する必要がある。

【0007】その後、図20(e)に示すように、蒸着/リフトオフ法にてAuGe/Ni/Auよりなるソース電極6、ドレイン電極7を形成する。最後にパッシベーション膜としてSiN、SiON、SiO等よりなる絶縁膜をウェハ全面に堆積して図19に示すようなプレーナ型GaAs電界効果トランジスタを得る。

【0008】次にリセス型電界効果トランジスタの製造方法について図22に従って説明する。図22(a)に示すように(100)半絶縁性GaAs基板1上にイオン注入法もしくはMBE、MOCVD法等のエピタキシャル成長法によりn-GaAs層(活性層)15を形成したのち、図22(b)に示すように蒸着/リフトオフ法にてAuGe/Ni/Auよりなるソース電極6、ドレイン電極7を形成する。

【0009】次に図22(c)に示すように、ゲート電極となる領域が開くようにパターンニングされたフォトレジスト23を用い、酒石酸/過酸化水素水の混合液を用いてリセスエッチングを行いリセス溝15aを形成する。

【0010】さらに図22(d)に示すように、上記リセスエッチング時に用いたフォトレジスト23をマスクとして用い、Ti/Pt/Auを蒸着/リフトオフすることで、上記リセス溝15a内にゲート電極16を形成する。最後にパッシベーション膜としてSiN、SiON、SiO等よりなる絶縁膜23を堆積して図21に示すようなリセス型GaAs電界効果トランジスタを得る。

【0011】次に従来の電界トランジスタにおいて、ゲート電極にパルス電圧を入力した場合のドレイン電流の過渡応答特性についてリセス型GaAs電界効果トランジスタを例にとって説明する。図23、図24はそれぞれパルスゲート電圧に対するドレイン電流の過渡応答遅延の概略図及びその遅延メカニズムを示す概略図である。

【0012】従来の電界効果トランジスタでは図23に示すように、ゲート電極に、チャネルがON/OFFされる振幅で数μsec～数msecの幅をもったパルス電圧が印加された場合に、立下り時(チャネルONからOFF)にはゲート電圧に対するドレイン電流の遅れは

ないが、立上り時（ゲートOFFからON時）にドレイン電流に遅延が生じる場合がある。この遅延メカニズムについては様々な議論があり明確な説明はなされていないが、“Modeling the Effects of Surface States on DLTS Spectra of GaAs MESFET's (IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL37, NO. 5, p. 1235 (1990))”や“表面準位を考慮したGaAs MESFETゲートラグのシミュレーション（電子情報通信学会技術研究報告, ED91-142 P. 25 (1992)）”に示されるようにオーミック電極-ゲート電極間のGaAs表面に局在する表面準位の電子の捕獲、放出に伴う表面空乏層厚の変化が最も有力な要因の1つと考えられる。以下この遅延メカニズムの概要を図24に従って説明する。なおこの図では便宜上ドレイン電圧 $V_{ds} = 5V$ 、ゲート電圧を、 $-5V$ のオフ電圧、 $0V$ のオン電圧条件で動作させた場合を示している。

【0013】まずゲートON状態ではソース電極-ゲート間電圧は $0V$ 、ゲート電極-ドレイン間電圧は $-5V$ の状態であり、このポテンシャル状態で決定されるGaAs表面でのフェルミ準位もしくは擬フェルミ準位よりも価電子帯寄りに局在する表面準位は電子を捕獲している状態にある。このON状態から $-5V$ の電圧がゲートに印加されOFF状態に移行した場合には、表面での擬フェルミ準位はON時よりも伝導帯に近づくため、新たに擬フェルミ準位よりも価電子帯寄りに局在することになった表面準位は新たに電子を捕獲し、ON状態に比べ表

面準位に捕獲されている電子の総数は増加することとなる。表面準位に捕獲される電子総数の増大は電気的中性を保つために基板中に正電荷すなわちドナー数の増大を引き起こすため表面空乏層厚が広がることとなる。

【0014】逆にこのOFF状態から $0V$ の電圧がゲート電極に印加されON状態に移行した場合には、表面での擬フェルミ準位はOFF時よりも価電子帯に近づくため新たに擬フェルミ準位より伝導帯寄りに局在することになった表面準位は電子を放出するため、OFF状態に比べ表面準位に捕獲されている電子の総数は減少することとなる。表面準位に捕獲される電子総数の減少は電気的中性を保つために基板中の正電荷すなわちドナー数の減少を引き起こし表面空乏層厚が狭くなる。

【0015】以上述べたように、表面空乏層厚が表面準位の電子の捕獲、放出により変調されるわけであるが、 n 型GaAs基板の場合には一般に電子の捕獲に比べ放出の方がはるかにその時定数が長くなるため、OFFからON時での表面空乏層厚の変化がゲート電極下の空乏層厚の変化に追従しなくなり、ゲート電極下の空乏層厚よりもオーミック電極-ゲート電極間の空乏層厚の方が大きくなる。

【0016】さてドレイン電流 I_d は、真性チャネル抵抗 R_{ch} 、及び表面空乏層で狭窄された領域での抵抗を $R_1(\tau)$ 、 $R_2(\tau)$ とすると定性的に、

【0017】

【数1】

$$I_d \propto (R_{ch} + R_1(\tau) + R_2(\tau))^{-1}$$

【0018】と表される。この式より表面空乏層によるチャネル狭窄がドレイン電流を減少させ、さらに上述のようにゲートOFFからON時に抵抗 $R_1(\tau)$ 、 $R_2(\tau)$ が真性チャネル抵抗 R_{ch} に比べて大きな時定数をもつ場合には、ドレイン電流の立上りに遅延が生じることが理解される。

【0019】プレーナ型電界効果トランジスタの場合についても図25に示すように、同様の現象がみられる。

【0020】以上述べてきたように、ドレイン電流の立上り遅延は表面空乏層によるチャネル狭窄に起因するため、この遅延を抑制する方法として、①表面空乏層厚を狭くする、②デバイスを表面空乏層によるチャネル狭窄が生じにくい構造にする等の2つの方法が考えられる。

【0021】上記②の方法については2段リセス構造（“GATE SLOW TRANSIENTS IN GaAs MESFETs—CAUSES, CURES, AND IMPACT ON CIRCUITS”, IEEE IEDM p. 842 (1988)、チャネル上層に i -GaAs層を配した構造（“Step-Recessed Gate Structure with an Undoped Surface Layer for Microwave and Millimeter-Wave High Power, High Efficiency GaAs MESFETs”, IEICE Transactions, Vol. E74, No. 12, 4141 (1991)）等が考案されているが、いずれも構造が複雑でまた製造工程も容

易でなく、さらにこれらの対策はいずれもリセス型電界効果トランジスタにのみ限られており、プレーナ型電界効果トランジスタでは、立上り遅延に対する有効な手段は報告されていない。

【0022】次に上記①の方法についてであるが、一般に表面空乏層厚は、GaAs表面準位密度とこの準位によりピンニングされる表面ポテンシャル、及び基板中のドナー密度により決定され、従って表面空乏層厚は表面準位密度の低減、基板中のドナー密度の増大により低減できると考えられる。

【0023】しかしながら前者の表面準位の低減について、硫化アンモニウム処理等の表面処理を行うことが提案されているが、後工程での熱的な安定性に欠けるなどの問題点があり、またドレイン電流遅延に対する効果についても明確でない。

【0024】また後者のゲート-ソース・ドレイン間のGaAs表面近傍のドナー密度の増大により表面空乏層厚を抑制する方法であるが、この場合には以下のような問題が生じる。即ちまずリセス型電界効果トランジスタではイオン注入もしくはエピ成長法により n -GaAs層を形成したのちリセスを行って所望の活性層厚に調整したのち、ゲート電極を形成するために図21に示すよ

うにゲート電極下とゲート電極-ソース・ドレイン電極間の基板中のドナー密度は同じとなる。従ってチャネルのドナー密度はトランジスタの用途により決定されるため、ドナー密度の低いものほどドレイン電流の立ち上がり遅延が大きくなるという問題点があった。

【0025】またプレーナ型電界効果トランジスタでは短チャネル効果を抑制するために、図19に示すように、活性層と高濃度 $n\text{-GaAs}$ 層間に活性層よりもドナー密度の高い低濃度 $n\text{-GaAs}$ 層を設けているが、この密度は短チャネル効果、ゲート耐圧、ソース抵抗から最適化されており、ドレイン電流の立ち上がり遅延を抑制するのを主たる目的としてこの低濃度 $n\text{-GaAs}$ 層のドナー密度を増大することはできない。

【0026】

【発明が解決しようとする課題】従来の電界効果トランジスタは以上のように構成及び製造されているため、ゲート電極-オーミック電極間の表面空乏層厚の変化がゲート電極下の表面空乏層厚の変化に追従遅れを有するために、パルスゲート電圧に対するドレイン電流の遅延が生じるという問題点があった。

【0027】この発明は上記のような問題点を解消するためになされたもので、パルスゲート電圧に対するドレイン電流の立ち上がり遅延を充分抑制できる電界効果トランジスタを得ることを目的としており、さらにこの電界効果トランジスタに適した製造方法を提供することを目的とする。

【0028】

【課題を解決するための手段】この発明にかかる電界効果トランジスタは、プレーナ型電界効果トランジスタにおいて、ゲート電極端へ応力を集中させてゲート電極横の GaAs 基板中に正のピエゾ電荷を発生させるようにしたものである。

【0029】また、リセス型電界効果トランジスタにおいては、リセス側壁に、ゲート電極近傍の基板中に正のピエゾ電荷を発生させるような応力を有する絶縁膜からなるサイドウォールを設けたものである。

【0030】また、活性層両側に、基板厚方向に深くなるにつれてゲート電極側に近接する形状の高濃度不純物領域を備えたものである。

【0031】さらに、基板厚方向に深くなるにつれてゲート電極とのオーバーラップ量が増大する形状の低濃度不純物領域を備えたものである。

【0032】また、この発明に係る電界効果トランジスタの製造方法は、ゲート電極側面に形成したサイドウォールを、不純物注入後に一旦除去してアニールを行い、その後再度サイドウォールを形成するようにしたものである。

【0033】また、ゲート電極とサイドウォールとをマスクとして斜め方向に不純物注入を行うようにしたものである。

【0034】

【作用】この発明においては、電界効果トランジスタのゲート電極とオーミック電極との間の化合物半導体基板表面上に応力が集中しているため、ゲート電極横の基板中に正のピエゾ電荷が発生し、これにより実効的なドナー密度が増大して表面空乏層厚が減少させられる。

【0035】また、リセス側壁に設けたサイドウォールによってゲート電極近傍の基板中に正のピエゾ電荷が発生させられるので、リセス構造を有する電界効果トランジスタにおいても実効的なドナー密度が増大して表面空乏層厚が減少させられる。

【0036】また、高濃度不純物領域が、基板厚方向に深くなるにつれてゲート電極側に近づく形状となっているため、ピンチオフポイントがドレイン側ゲート電極端からソース電極端寄りになる。

【0037】また、斜め方向に不純物注入を行うことにより基板厚方向に深くなるにつれてゲート電極側に近づく形状の高濃度不純物領域または低濃度不純物領域を容易に形成することができる。

【0038】

【実施例】実施例1. 以下、この発明の第1の実施例による電界効果トランジスタ及びその製造方法について説明する。図1において、図19と同一符号は同一または相当部分を示し、30は(100) GaAs 基板1に対して圧縮応力を有する WSi からなるゲート電極、8は(100) GaAs 基板1に対して引っ張り応力を有する SiON 膜である。またF3、F8はそれぞれゲート電極30の圧縮応力、 SiON 膜8の引っ張り応力を示す。

【0039】製造方法については、イオン注入条件等は基本的に図20で示した従来の電界効果トランジスタの場合と同一であるが、 WSi ゲート電極形成時のガス圧力、印加パワー等のスパッタ条件及びプラズマ CVD 法による SiON の成膜条件を最適化することで上記のような応力をもたせるようにした点が異なる。具体的にはスパッタ時の圧力を低下させることにより基板1に対して圧縮応力を有するゲート電極を形成することができる。なお本発明における以下のすべての実施例では、紙面に垂直なゲート方向を〔0/1/1〕とし、断面には(011)面が露呈しているものとする。

【0040】次に作用効果について説明する。 WSi ゲート電極30及び SiON 8の応力を図1に示すように設定した場合、ゲート電極30の端部に集中する応力の総和は(F3 + F8)と強め合い、また方向はゲート電極30からオーミック電極(6、7)に向かう方向となる。このような応力が印加された場合、一般に知られているように、図1に示すような応力集中箇所であるゲート電極30端部の近傍に高密度の電荷密度分布をもつピエゾ電荷が発生し、ゲート電極30端横には正電荷のピエゾ電荷が発生する。例えば(F3 + F8)の合成応力

が $3 \times 10^5 \text{ dyne/cm}$ の場合には、ゲート電極30の横の低濃度 $n\text{-GaAs}$ 層4領域内に $5 \times 10^7 \text{ 個/cm}^3$ 以上の正のピエゾ電荷が発生する。この電荷密度は低濃度 $n\text{-GaAs}$ 層4形成時のイオン注入条件(Si^+ を 50 KeV , $2 \times 10^{12} \text{ cm}^{-2}$)でのドナー密度の最大値とほぼ等価となることから、該領域の表面空乏層厚はピエゾ電荷が発生していない場合に比べ約0.7倍以下となり、このため表面空乏層によるチャネル狭窄が低減されドレイン電流の立ち上がり遅延を抑制することができる。なお図中の数字はゲート電極30の近傍に発生する電荷量を規格化した数値を表し、マイナス(−)の付くものは負のピエゾ電荷であることを示し、さらにゲート長 $1.0 \mu\text{m}$ 、ゲート膜厚 3000 \AA 、ストレス $6 \times 10^9 \text{ dyne/cm}^2$ の時のものとする。

【0041】実施例2. 次に本発明の第2の実施例による電界効果トランジスタ及びその製造方法について説明する。図2において9aは基板1に対して引っ張り応力を有する SiO 膜よりなるサイドウォール、10は基板1に対して圧縮応力を有するパッシベーションとなる SiON 膜である。また F_3 、 F_9 、 F_{10} はそれぞれ、ゲート電極30の圧縮応力、サイドウォール9aの引っ張り応力、 SiON 膜10の圧縮応力を示す。

【0042】次に製造方法について説明する。本発明の製造方法はトランジスタが形成されるまでは従来のプレーナ型電界効果トランジスタの製造方法で述べた図20(a)～(e)までの製造工程とほぼ同一である。ただしゲート電極を形成する際にはスパッタ条件を上述したように変更して圧縮応力を有するものとする必要がある。

【0043】本実施例では図20(e)に示すように、プレーナ型電界効果トランジスタを形成したのち、図3(a)に示すように、基板1に対して引っ張り応力を有する SiO 膜19をウェハ全面にプラズマCVD法により堆積する。さらに SiO 膜19を($\text{CHF}_3 + \text{O}_2$)の混合ガスを用いた反応性イオンエッチングにより異方性エッチングして WSi ゲート電極30の横に引っ張り応力を有するサイドウォール(SiO 膜)9aを形成する(図3(b))。最後に圧縮応力を有する SiON 膜をトランジスタ上層に堆積することで、図2に示す本実施例による電界効果トランジスタを得ることができる。

【0044】従来方法において、低濃度 $n\text{-GaAs}$ 層4形成時にマスクとして用いるサイドウォール(図20(d)、図9参照)は、イオン注入後の 800°C のアニールによる膜ストレスの緩和、及び GaAs 基板1とサイドウォール膜間の反応等の問題があるため、以上のように一旦サイドウォールを除去してトランジスタを形成した後に再度サイドウォール9aを形成することにより上述のような問題を回避することができる。

【0045】次に本実施例の作用効果について説明する。 WSi ゲート電極30の横に発生するピエゾ電荷密度は、ゲート電極端に集中する、 WSi ゲート電極30

の圧縮応力 F_3 、及びサイドウォール9aの引っ張り応力 F_9 の合成応力($F_3 + F_9$)により発生する正のピエゾ電荷密度と、サイドウォール9aと SiON 膜10の界面に集中する、サイドウォール9aの引っ張り応力 F_9 と SiON 膜の圧縮応力 F_{10} の合成応力($F_9 + F_{10}$)により発生する正のピエゾ電荷密度の和となる。またこのピエゾ電荷密度は WSi ゲート電極3の端部と、サイドウォール9a/ SiON 膜10境界の2つの応力集中点間の距離が短いほど高くなるが、サイドウォール9a/ SiON 膜10境界の SiON 膜10下の GaAs 基板中には逆に負のピエゾ電荷が発生して表面空乏層を拡張する方向に働くため、サイドウォール9aの幅は低濃度 $n\text{-GaAs}$ 層4の幅と同程度にするのが好ましい。この場合には負のピエゾ電荷は高濃度 $n\text{-GaAs}$ 層5領域内に発生することとなり表面空乏層の影響はほとんどなくなる。

【0046】以上述べたように、本実施例では第1の実施例に比べ各々の箇所に集中する応力が同じであれば、約2倍の密度を有するピエゾ電荷が発生し、その結果、表面空乏層厚をより低減できる。

【0047】また第1の実施例のように、 WSi ゲート電極30の横に高密度の正のピエゾ電荷を発生させた場合には、 WSi ゲート電極30下の活性層2内に負のピエゾ電荷が発生することとなり、この負のピエゾ電荷がもう一方のゲート電極端側の応力により発生する負のピエゾ電荷と重畳して活性層2中に高密度の負のピエゾ電荷が発生し、ピンチオフ電圧、相互コンダクタンス等のトランジスタ性能を変化させる。またこの現象は2つの応力集中箇所の距離が短くなる短ゲート長を有する電界効果トランジスタほど顕著となるといった問題がある。しかしながら本実施例では、 WSi ゲート電極30の端部と、サイドウォール9a/ SiON 膜10境界で生じる2つの応力が、 WSi ゲート電極30下の活性層2中に発生させるピエゾ電荷の符号がそれぞれ反対となり互いに打ち消しあうために、トランジスタ特性への影響を低減できるという利点がある。

【0048】実施例3. 次に本発明の第3の実施例による電界効果トランジスタ及びその製造方法について説明する。図4において、11aは圧縮応力を有する SiN 膜よりなる第2のサイドウォール、13は $1 \times 10^9 \text{ dyne/cm}^2$ 以下の低圧縮応力を有する SiON 膜である。また F_3 、 F_9 、 F_{11} はそれぞれゲート電極30の圧縮応力、サイドウォール9aの引っ張り応力、 SiN 膜11の圧縮応力を示す。

【0049】次に製造方法について説明する。本発明の製造方法は第1のサイドウォール9aが形成されるまでは第2の実施例で述べた図20(a)～(e)、図3(a)、(b)までの製造工程と同一であり、ここではこれ以降の工程についてのみ説明する。

【0050】図5(a)に示すように、 WSi ゲート電極

30の横に第1のサイドウォール9aを形成したのち、圧縮応力を有するSiN膜11をウェハ全面にプラズマCVD法により堆積する。さらにこのSiN膜11を(CFH₃+O₂)の混合ガスを用いた反応性イオンエッチングにより異方性エッチングし、WSiゲート電極30の横に第2のサイドウォール11aを形成する。最後に1E10dyne/cm²以下の低圧縮応力を有するSiON膜をトランジスタ上層に堆積することで、図4に示す本発明による電界効果トランジスタを得る。

【0051】このように本実施例によれば、第1のサイドウォール9aに隣接して圧縮応力を有する第2のサイドウォール11aを形成するようにしたから、WSiゲート電極30の圧縮応力F₃、サイドウォール9aの引っ張り応力F₉の合成応力(F₃+F₉)により発生する正のピエゾ電荷密度と、第1のサイドウォール9aと第2のサイドウォール11aの界面に集中する、サイドウォール9aの引っ張り応力F₉とSiN膜11aの圧縮応力F₁₁の合成応力(F₉+F₁₁)により発生する正のピエゾ電荷密度の和に相当する正のピエゾ電荷密度がWSiゲート電極30の横に発生することとなる。このため、上記第2の実施例と同様に、約2倍の密度を有するピエゾ電荷が発生し、第1の実施例に比べて表面空乏層厚をより低減できる。また、WSiゲート電極30端部と、第1のサイドウォール9a/第2のサイドウォール11a境界とに生じる2つの応力が、WSiゲート電極30下の活性層2中に発生させるピエゾ電荷の符号がそれぞれ反対となり互いに打ち消しあうために、トランジスタ特性への影響が低減できる利点がある。

【0052】また、トランジスタ上層に堆積する膜に低ストレスのもの(SiON膜13)を用いることができるため、上記第1及び第2の実施例の構造を有する電界効果トランジスタをMMIC等に適用した場合に生じる、後半工程での高ストレス膜(SiON膜8、SiON膜10)の剥がれや亀裂等の問題を低減することができる。

【0053】さらに、低ストレスなパッシベーション膜として圧縮応力を有するものを用いることにより、ゲート電極30下に発生する負のピエゾ電荷のさらなる減少を図ることができ、負のピエゾ電荷によるトランジスタ特性への影響の低減を期待できる効果もある。

【0054】実施例4. 次に本発明の第4の実施例による電界効果トランジスタ及びその製造方法について説明する。図6において、12aは圧縮応力を有するSiN膜、18は引っ張り応力を有するパッシベーションとなる高濃度n-GaAs層5表面に形成されたSiON膜である。またF₃、F₁₂、F₁₈はそれぞれゲート電極30の圧縮応力、SiN膜12aの圧縮応力、SiON膜18の引っ張り応力を示す。

【0055】次に製造方法について図7に従って説明する。本発明の製造方法はトランジスタが形成されるまで

はゲート電極の形成条件が異なる点を除いては従来のプレーナ型電界効果トランジスタの製造方法で述べた図20(a)~(e)までの製造工程とほぼ同一であり、これ以降の工程についてのみ説明する。図7(a)に示すように、プレーナ型電界効果トランジスタを形成したのち、圧縮応力を有するSiON膜12をウェハ全面にプラズマCVD法により堆積する。さらにWSiゲート電極30上層と、ゲート電極30とソース及びドレイン電極6、7間の基板面の一部が開口されるようにフォトレジストをパターンニングし、SiN膜12を(CHF₃+O₂)の混合ガスを用いた反応性イオンエッチングにより異方性エッチングする。この場合、WSiゲート電極30の横にはSiN膜からなるサイドウォールが形成されるが、後に(30:1)のBHFにてウェット処理することで上記サイドウォールを除去し、図7(b)に示すように、高濃度n-GaAs層5表面にSiN膜12aを有するパターンを得る。

【0056】この場合、段差側壁に堆積された絶縁膜(サイドウォール状のSiN膜)のBHFに対するエッチングレートは、平面上に堆積した絶縁膜(SiN膜)のBHFに対するエッチングレートに比べて10以上と大きいので、フォトレジト下のSiN膜12にはほとんどアンダーカットが生じない。そして最後に引っ張り応力を有するSiON膜をトランジスタ上層に堆積することで図6に示す構造の電界効果トランジスタを得ることができる。

【0057】このように本実施例によれば、圧縮応力を有するゲート電極30を設けるとともに、ゲート電極30近傍を除いて圧縮応力を有するSiN膜12aを設け、さらに上記ゲート電極30の近傍を含む上記基板全面に引っ張り応力を有するSiON膜18を形成するようにしたから、WSiゲート電極30の圧縮応力F₃、SiON膜18の引っ張り応力F₁₈の合成応力(F₃+F₁₈)により発生する正のピエゾ電荷密度と、SiON膜18とSiN膜12aの界面に集中する、SiON膜18の引っ張り応力F₁₈とSiN膜12aの圧縮応力F₁₂の合成応力(F₁₈+F₁₂)により発生する正のピエゾ電荷密度の和に相当する正のピエゾ電荷密度がWSiゲート電極30の横に発生することとなり、上記第2の実施例と同様に約2倍の密度を有するピエゾ電荷が発生し、表面空乏層厚をより低減できる。

【0058】また、WSiゲート電極30端と、SiON膜18/SiN膜12aの境界とに生じる2つの応力が、WSiゲート電極30下の活性層2中に発生させるピエゾ電荷の符号がそれぞれ反対となり互いに打ち消しあうために、トランジスタ特性への影響を低減できる利点がある。

【0059】実施例5. 次に本発明の第5の実施例による電界効果トランジスタ及びその製造方法について説明する。図8において、14はWSiゲート電極30上に

形成された、圧縮応力を有するSiO膜である。またF31, F8はそれぞれゲート電極30とSiO膜14の合成圧縮応力、SiON膜8の引っ張り応力を示す。

【0060】以下製造方法について説明する。本実施例では活性層が形成されるまでは従来の製造方法で述べた図20(a)の工程と同一であり、ここではそれ以降の工程について説明する。図9に示すように、ウェハ全面にWSi層をスパッタ法にて堆積し、さらにこの上に圧縮応力を有するSiO膜をプラズマCVD法により堆積したのち、フォトリソのパターンニングを行い、これをマスクにして(CHF₃+O₂)の混合ガスを用いた反応性イオンエッチングにてSiO膜を加工し、さらに(SF₆+CHF₃)の混合ガスを用いた反応性イオンエッチングにてWSi層を加工してWSiゲート電極30/SiO膜14の2層パターンを形成する。これ以降はWSiゲート電極上にSiO膜14が積層している点を除けば、図20(c)~(e)に示した従来の電界効果トランジスタの製造方法と同一の製造工程を経て図8に示す構造の電界効果トランジスタを得ることができる。

【0061】次に作用効果について説明する。WSiゲート電極30の端部に集中する応力は、WSiゲート電極30の圧縮応力とSiO膜14の圧縮応力の合力F31と、SiON膜8の引っ張り応力F8の和となる。また応力F8は近似的にSiO膜8のストレスSとゲート電極30側壁でのその膜厚tとの積($F8 \approx S \times t$)であるため、上記第1の実施例による応力F8の値が大きくなる。このようにゲート電極30端部への応力集中をさらに強めることで、より高密度のピエゾ電荷を発生せしめ、その結果、表面空乏層厚をより低減することが可能となる。

【0062】実施例6. 次に本発明の第6の実施例による電界効果トランジスタ及びその製造方法について説明する。図10において、9bは引っ張り応力を有するSiO膜よりなるサイドウォールである。またF31, F9, F10はそれぞれゲート電極30とSiO膜14の合成応力、サイドウォール9bの引っ張り応力、SiON膜10の圧縮応力を示す。

【0063】以下、製造方法について説明する。まず実施例5の製造方法である図9に示すように活性層2上にWSiゲート3/SiO膜14の2層パターンを形成したのち、従来の電界効果トランジスタの製造方法に従ってイオン注入を行い低濃度n-GaAs層4、高濃度n-GaAs層5を形成する。

【0064】次に図11に示すように、引っ張り応力を有するSiO膜22をプラズマCVD法により基板全面に堆積し、さらに(CHF₃+O₂)の混合ガスを用いた反応性イオンエッチングにてSiO膜22を異方性エッチングすることで、WSiゲート電極30/SiO膜14の2層パターン側壁に、図10に示すようなサイドウォール9bを形成する。さらに圧縮応力を有するSi

ON膜10をプラズマCVD法にて堆積することで図10に示す構造の電界効果トランジスタを得る。

【0065】次に作用効果について説明する。WSiゲート電極30の端部に集中する応力は、WSiゲート電極30の圧縮応力とSiO膜14の圧縮応力の合力F31, SiO膜よりなるサイドウォール9bの引っ張り応力F9, SiON膜10の圧縮応力F10の和となる。この場合の応力F9, F10は第5の実施例で述べた理由により第2の実施例における応力F9, F10よりも大きなものとなり、この分ゲート電極30の端部への応力集中が強まる。従って本実施例ではさらに高密度のピエゾ電荷を発生させることができ、その結果、表面空乏層厚をより低減することが可能となる。

【0066】実施例7. 次に本発明の第7の実施例による電界効果トランジスタ及びその製造方法について説明する。これまでの実施例ではプレーナ型電界効果トランジスタについて説明したが、ここではリセス型電界効果トランジスタを例として説明する。図12において、15はn-GaAs層、17aはリセス側壁に形成された圧縮応力を有するSiON膜よりなるサイドウォール、13は1E19dyne/cm²以下の低ストレスを有するSiON膜である。

【0067】次に製造方法について説明する。図13(a)にいたるまでの製造工程は、図22(a)~(d)に示した従来のリセス型電界効果トランジスタの製造方法と同様でありここでは、それ以降の工程についてのみ説明する。図22(d)に示すような電界効果トランジスタを形成したのち、図13(a)に示すように、圧縮応力を有するSiON膜17をプラズマCVD法で堆積する。

【0068】次に図13(b)に示すように(CHF₃+O₂)の混合ガスを用いた反応性イオンエッチングにてSiON膜17を異方性エッチングすることでリセス側壁にサイドウォール17aを形成する。なおこの場合にはプレーナ型電界効果トランジスタと異なり、蒸着/リフトオフで形成したゲート電極16は図12に示すように台形形状になるため、ゲート側壁にはサイドウォールは形成されない。最後に1E19dyne/cm²以下の低ストレスを有するSiON膜をプラズマCVD法にて全面堆積することで図12に示した構造の電界効果トランジスタを得る。

【0069】次に作用効果について説明する。リセス側壁に圧縮応力を有するサイドウォール17aを設けることで、図12に示すようにゲート電極16の横のGaAs基板15中に正のピエゾ電荷を発生させることができ、その結果、表面空乏層厚を低減することが可能となる。

【0070】実施例8. 次に本発明の第8の実施例による電界効果トランジスタ及びその製造方法について説明する。これまでの実施例ではゲート電極の横の基板中に高密度の正のピエゾ電荷を発生させて実効的なドナー密

度を向上させることにより表面空乏層厚を減少させるようにしたが、この実施例ではトランジスタOFF状態でのピンチオフポイントから高濃度 n -GaAs層までの間の空乏層がショットキ障壁の制御下となるようにすることで表面空乏層によるチャネル狭窄を抑制するようにしたものである。

【0071】すなわち図14に示すように、高濃度 n -GaAs層50が基板厚方向に深くなるにつれてゲート電極3に近づくように形成されている。

【0072】次に製造方法について説明する。まず、図15(a)に示すように、半絶縁性GaAs基板1上にイオン注入法により n -GaAs層(活性層)2を形成したのち、図15(b)に示すように、WSiをスパッタ法にてウエハ全面に堆積した後、パターニングされたフォトレジストをマスクとして反応性イオンエッチングにてWSiを加工しWSiゲート3を形成する。

【0073】その後、図15(c)に示すように、イオン注入時の注入ポイントを調整するために例えば約200オングストロームのSiN膜20を堆積したのち、WSiゲート電極3をマスクにしてSiを50KeV、 $1E12cm^{-2}$ の条件で90度の角度でイオン注入することで低濃度 n -GaAs層4を形成する。

【0074】更に、図15(d)に示すように、SiO膜39をウエハ全面に堆積したのち、(CHF₃+O₂)の混合ガスを用いた反応性イオンエッチングにて、上記SiO膜39を異方性エッチングすることにより、WSiゲート電極3の側壁にSiO膜より成る額縁いわゆるサイドウォール9を形成する。次いで上記サイドウォール9とWSiゲート電極3をマスクとして、Si⁺を60KeV、 $1.5E13cm^{-2}$ の条件で60度の角度で左右から斜めイオン注入した後(図15(e)参照)、サイドウォール9をBHFにて除去し、引き続いて800℃、30分のアニールを行ない高濃度 n -GaAs層50を形成する。上述したように、サイドウォール9は800℃の熱処理でGaAs基板と反応してFET特性を劣化させるため、アニール前に必ず除去する必要がある。その後、蒸着/リフトオフ法にてAuGe/Ni/Auより成るソース電極6、ドレイン電極7を形成する(図15(f))。

【0075】そして最後にパッシベーション膜としてSiN膜21を全面堆積し、図15(g)に示すようなプレーナ型GaAs電界効果トランジスタを得る。

【0076】次に作用効果について説明する。本実施例では、斜めイオン注入によって高濃度 n -GaAs層50を形成するようにしたから、ピンチオフポイントから高濃度 n -GaAs層50までに存在する空乏層はゲート電極3のショットキ障壁下方に位置するようになり、ショットキ障壁の影響を受けなくなり、表面空乏層によるチャネル狭窄の影響を低減することができる。

【0077】実施例9. 次に本発明の第9の実施例によ

る電界効果トランジスタ及びその製造方法について説明する。この実施例では低濃度 n -GaAs層も斜めイオン注入によって形成するようにしたものであり、図16に示すように、ゲート電極3下方にその先端部分がゲート電極とオーバーラップするように低濃度 n -GaAs層40が形成されている。

【0078】次に製造方法について説明する。本実施例の製造方法は上記第8の実施例に準拠するが、図15(c)の工程において、本実施例では図17(c)に示すように、WSiゲート電極3をマスクとして、Si⁺を50KeV、 $1E12cm^{-2}$ の条件で60度の角度で左右から斜めイオン注入することで、ゲート電極3下方にその一部がオーバーラップする低濃度 n -GaAs層40を形成する点が異なる。

【0079】次に作用効果について説明する。本実施例では、斜めイオン注入によって低濃度 n -GaAs層40並びに高濃度 n -GaAs層50を形成するようにしたから、よりピンチオフポイントがドレイン電極7端からソース電極6寄りになり、トランジスタOFF状態からON状態に変化した際の表面空乏層厚の変化のゲート電極下の空乏層厚の変化に対する追従性が一層向上する。

【0080】実施例10. 次に本発明の第10の実施例による電界効果トランジスタ及びその製造方法について説明する。上記第9の実施例では、チャネルの狭窄をソース、ドレイン両側で抑制しようとした場合について述べたが、この場合、ソース側での低濃度 n -GaAs層のゲート電極下へのオーバーラップがゲート・ソース間容量の増大につながるという問題が生じる。この実施例では図18に示すように、斜めイオン注入時に、ソース電極6側からの注入角度、量を減らすことでソース電極6側の低濃度 n -GaAs層40aのゲート電極3下へのオーバーラップをドレイン電極8側の低濃度 n -GaAs層40のオーバーラップ量に比較して抑制するようにしたものであり、これにより容易にソース・ゲート間容量を低減することが可能となる。

【0081】なお上記各実施例では、ゲート方向が〔0/1/1〕の場合について説明したが、ゲート方向が〔0/11〕の場合には、すべての実施例で述べる応力の方向を反対とし、圧縮応力を引っ張り応力に、引っ張り応力を圧縮応力とすることで同様の効果を奏することができる。

【0082】

【発明の効果】以上のように、この発明によれば、電界効果トランジスタのゲート電極とオーミック電極との間の化合物半導体基板表面上に応力が集中しているため、ゲート電極横の基板中に正のピエゾ電荷が発生し、これにより実効的なドナー密度が増大して表面空乏層厚が減少することとなり、表面空乏層によるチャネル狭窄を抑制でき、ドレイン電流の立ち上がり遅延を抑制した高性能な

電界効果トランジスタが得られる効果がある。

【0083】またリセス側壁に設けたサイドウォールによって、ゲート電極近傍の基板中に正のピエゾ電荷が発生させられるので、リセス構造を有する電界効果トランジスタにおいても実効的なドナー密度が増大して表面空乏層厚が減少することとなり、表面空乏層によるチャネル狭窄を抑制でき、ドレイン電流の立上り遅延を抑制した高性能な電界効果トランジスタが得られる効果がある。

【0084】また基板厚方向に深くなるにつれてゲート電極側に近づき、該ゲート電極とのオーバラップ量が増大する形状の高濃度不純物領域を形成することにより、トランジスタオフ状態でのピンチオフポイントから高濃度不純物領域までに存在する空乏層はゲート電極下方のショットキ障壁の制御下となるため、表面空乏層によるチャネル狭窄の影響を抑制でき、その結果、ドレイン電流の立上り遅延を抑制することができる効果がある。

【0085】さらに、上記プレーナ型及びリセス型電界効果トランジスタにおいて上記正のピエゾ電荷を発生させるための応力を発生させるための処理を、トランジスタ形成後に行うようにしているため電荷効果トランジスタ形成時の熱処理による各絶縁膜／基板界面間の熱ストレスの緩和を防止でき、再現性よく上記応力制御を行うことができる効果がある。

【図面の簡単な説明】

【図1】この発明の第1の実施例によるプレーナ型の電界効果トランジスタを示す断面図である。

【図2】この発明の第2の実施例によるプレーナ型の電界効果トランジスタを示す断面図である。

【図3】上記プレーナ型の電界効果トランジスタの製造方法を説明するための断面図である。

【図4】この発明の第3の実施例によるプレーナ型の電界効果トランジスタを示す断面図である。

【図5】上記プレーナ型の電界効果トランジスタの製造方法を説明するための断面図である。

【図6】この発明の第4の実施例によるプレーナ型の電界効果トランジスタを示す断面図である。

【図7】上記プレーナ型の電界効果トランジスタの製造方法を説明するための断面図である。

【図8】この発明の第5の実施例によるプレーナ型の電界効果トランジスタを示す断面図である。

【図9】上記プレーナ型の電界効果トランジスタの製造方法を説明するための断面図である。

【図10】この発明の第6の実施例によるプレーナ型の電界効果トランジスタを示す断面図である。

【図11】上記プレーナ型の電界効果トランジスタの製造方法を説明するための断面図である。

【図12】この発明の第7の実施例によるリセス型の電界効果トランジスタを示す断面図である。

【図13】上記リセス型の電界効果トランジスタの製造

方法を説明するための断面図である。

【図14】この発明の第8の実施例によるプレーナ型の電界効果トランジスタを示す断面図である。

【図15】上記プレーナ型の電界効果トランジスタの製造方法を説明するための断面図である。

【図16】この発明の第9の実施例によるプレーナ型の電界効果トランジスタを示す断面図である。

【図17】上記プレーナ型の電界効果トランジスタの製造方法を説明するための断面図である。

【図18】この発明の第10の実施例によるプレーナ型の電界効果トランジスタを示す断面図である。

【図19】従来のプレーナ型の電界効果トランジスタを示す断面図である。

【図20】従来のプレーナ型の電界効果トランジスタの製造方法を説明するための断面図である。

【図21】従来のリセス型の電界効果トランジスタを示す断面図である。

【図22】従来のリセス型の電界効果トランジスタの製造方法を説明するための断面図である。

【図23】パルスゲート電圧に対するドレイン電流の過渡応答遅延を示す信号波形図である。

【図24】リセス型の電界効果トランジスタにおけるパルスゲート電圧に対するドレイン電流の過渡応答遅延のメカニズムを示す概略図である。

【図25】プレーナ型の電界効果トランジスタにおけるパルスゲート電圧に対するドレイン電流の過渡応答遅延のメカニズムを示す概略図である。

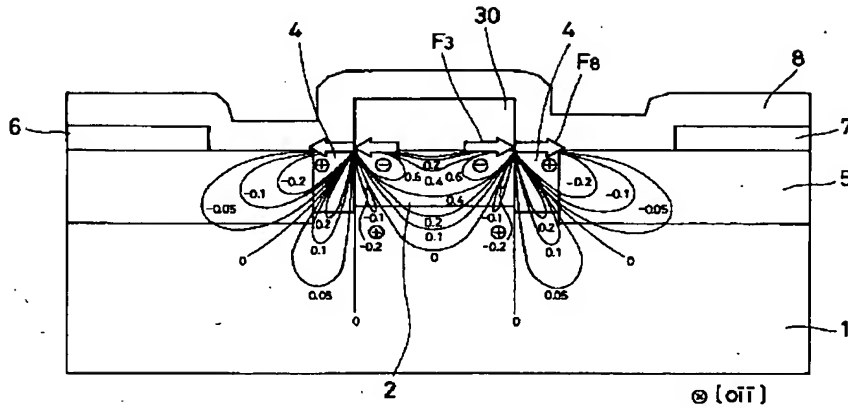
【符号の説明】

- 1 (100) GaAs 基板
- 2 活性層 (n-GaAs 層)
- 3 WSi ゲート電極
- 30 ゲート電極
- 4 低濃度 n-GaAs 層
- 40 低濃度 n-GaAs 層
- 5 高濃度 n-GaAs 層
- 50 高濃度 n-GaAs 層
- 6 ソース電極
- 7 ドレイン電極
- 8 引っ張り応力を有する SiON 膜
- 9 サイドウォール
- 9a 引っ張り応力を有する SiO 膜
- 9b 引っ張り応力を有する SiO 膜
- 10 圧縮応力を有する SiON 膜
- 11 圧縮応力を有する SiN 膜
- 11a 圧縮応力を有する SiN 膜
- 12 圧縮応力を有する SiN 膜
- 12a 圧縮応力を有する SiN 膜
- 13 低ストレスを有する SiON 膜
- 14 圧縮応力を有する SiON 膜
- 15 n-GaAs 層

- 16 Ti/Pt/Auゲート電極
 17 圧縮応力を有するSiON膜
 17a 圧縮応力を有するサイドウォール
 18 引っ張り応力を有するSiON膜
 19 引っ張り応力を有するSiO膜
 20 SiN膜

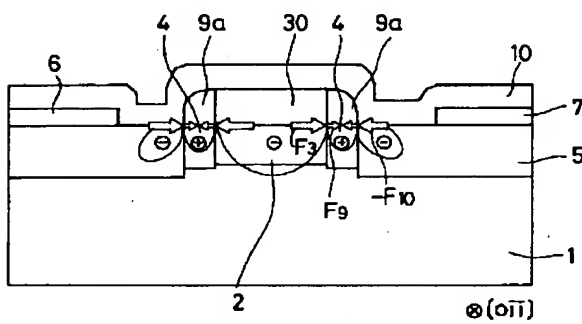
- 21 SiN膜
 22 引っ張り応力を有するSiO膜
 23 ホトレジスト
 24 絶縁膜
 39 SiO膜

【図1】



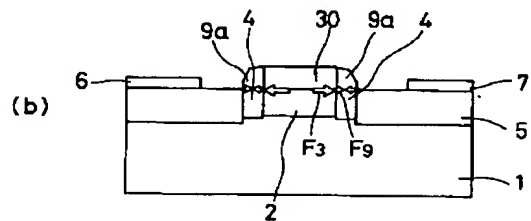
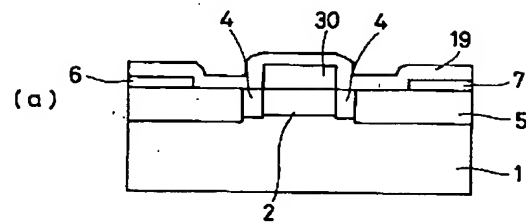
- 1: (100)GaAs基板 4: 低濃度 n-GaAs層 7: ドレイン電極
 2: 活性層 5: 高濃度 n-GaAs層 8: 引っ張り応力を有するSiON膜
 30: 圧縮応力を有するWSiゲート 6: ソース電極

【図2】



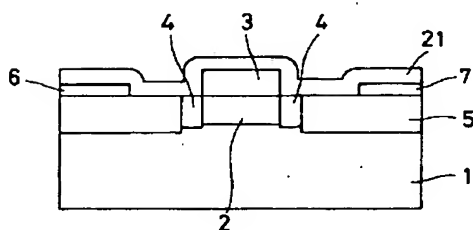
- 9a: 引っ張り応力を有するSiO膜
 10: 圧縮応力を有するSiON膜

【図3】

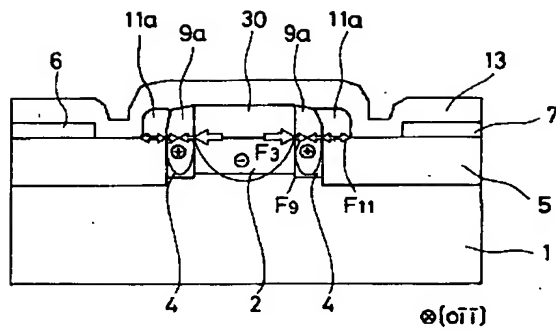


- 19: 引っ張り応力を有するSiO膜

【図19】

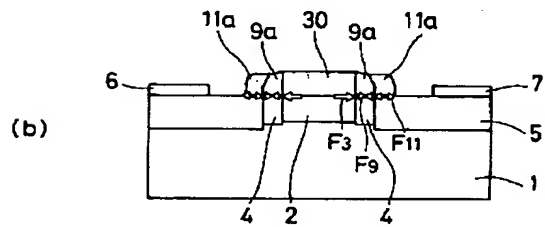
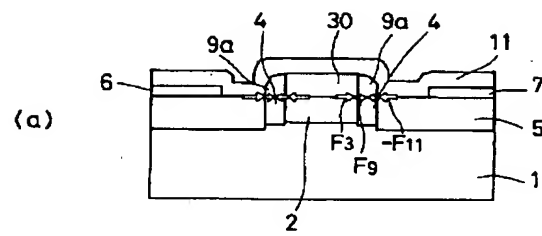


【図4】



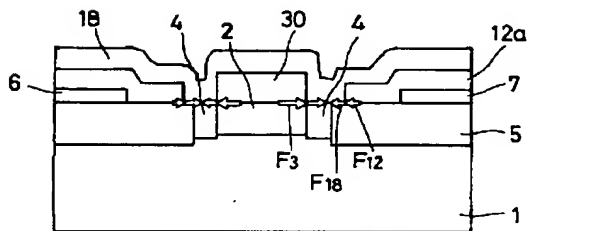
11a : 圧縮応力を有するSiN (第2のサイドウォール)
 13 : 低圧縮応力を有するSiON膜

【図5】



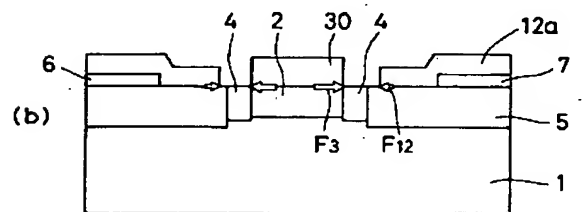
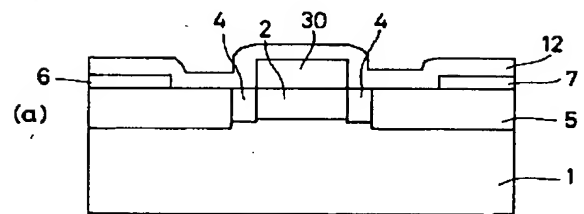
11 : 圧縮応力を有するSiN膜

【図6】



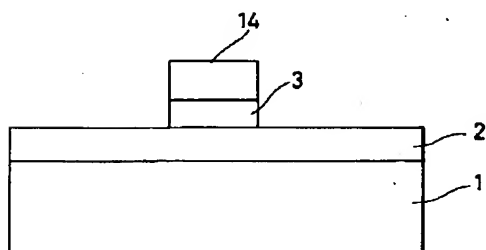
12a : 圧縮応力を有するSiN膜
 18 : 引っ張り応力を有するSiON膜

【図7】

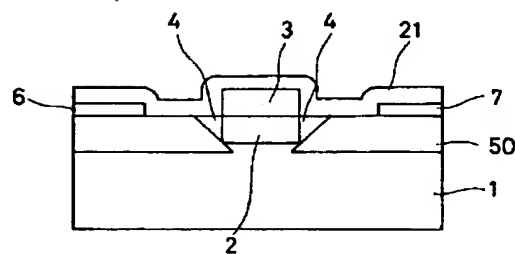


12 : 圧縮応力を有するSiN膜

【図9】

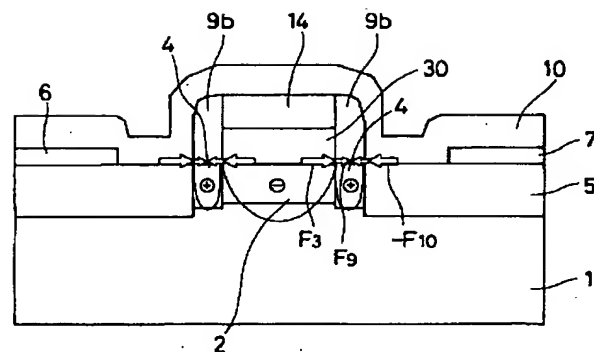


【図14】



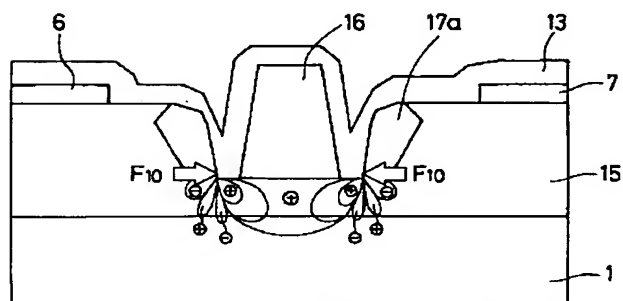
50 : 高濃度n-GaAs層

【図 10】



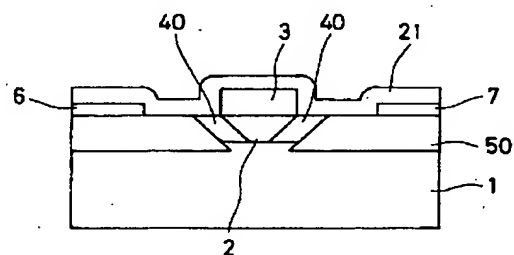
9b: 引-張り応力を有するSiO膜

【図 12】



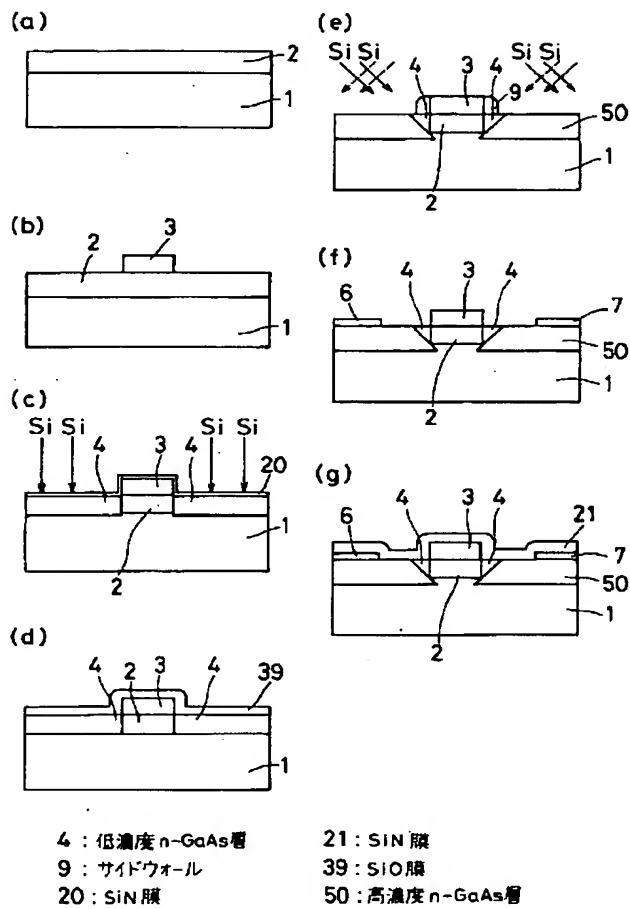
15: n-GaAs層 17a: 圧縮応力を有するサイドウォール
16: Ti/Pt/Au ゲート 13: 低ストレスを有するSiON膜

【図 16】

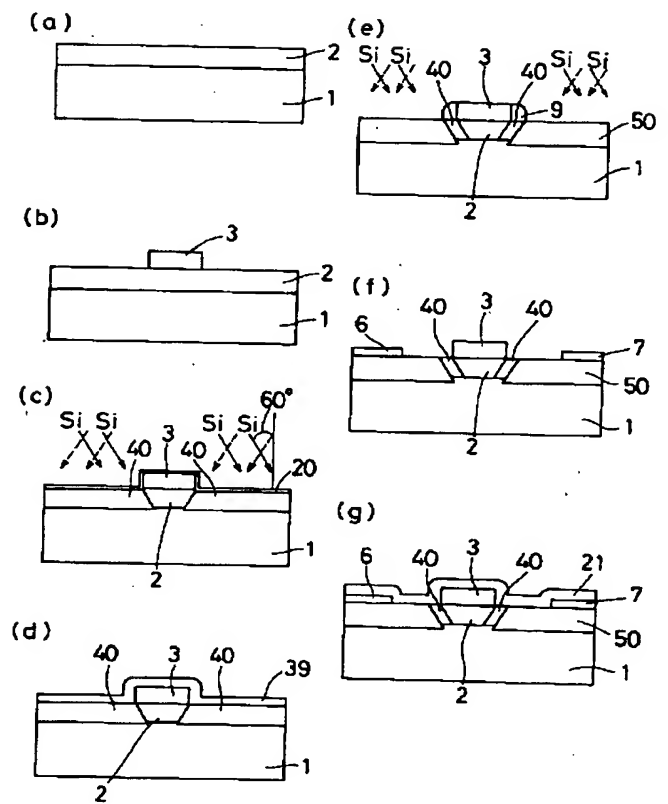


17: 圧縮応力を有する SiON 膜

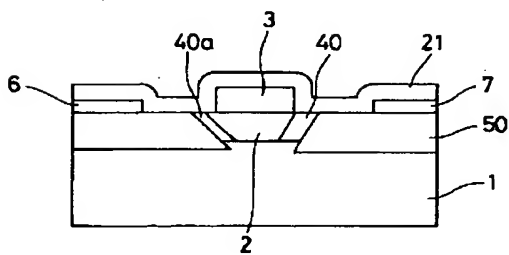
【図 15】



【図 17】

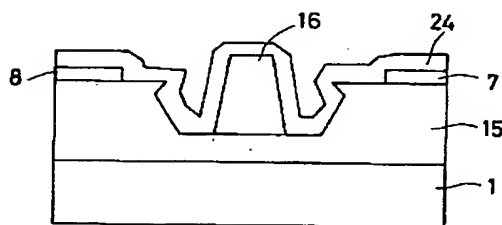


【図 18】



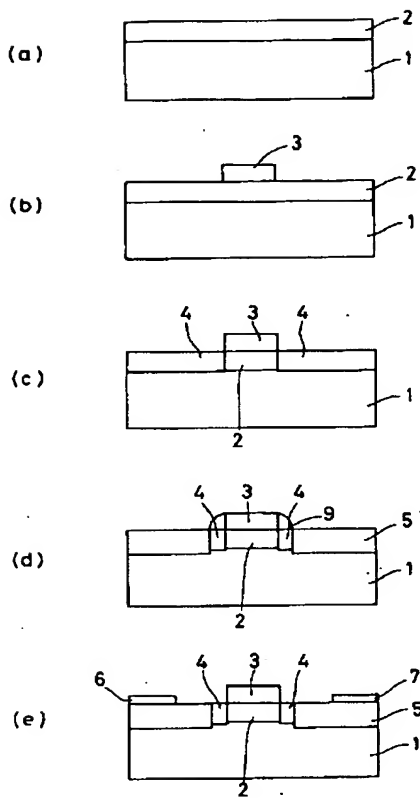
40a: オーバラップ量の少ない低濃度 n-GaAs 層

【図 21】

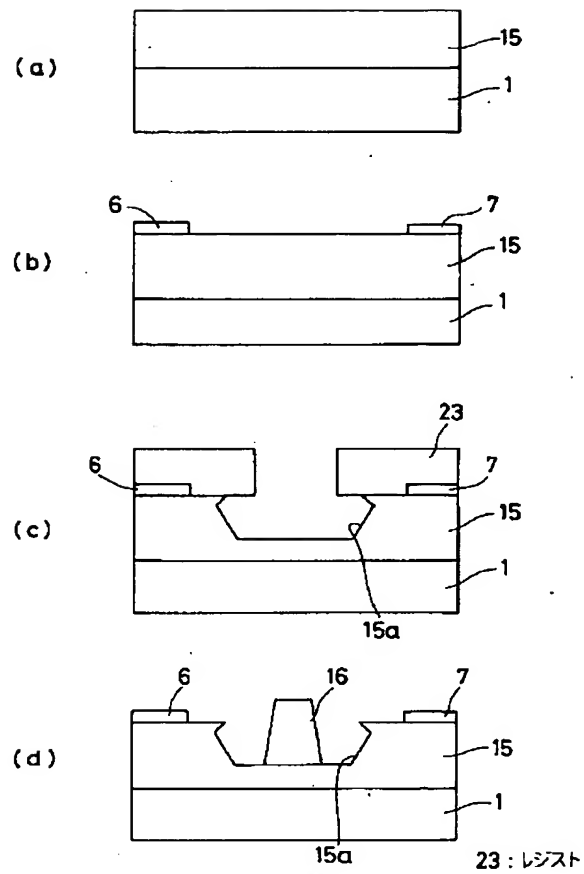


24: 絶縁膜

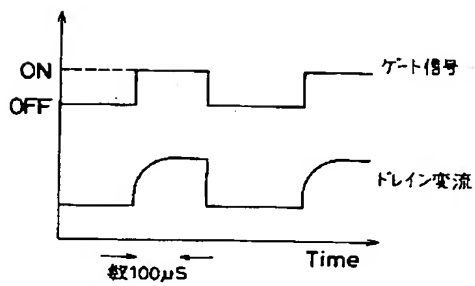
【図20】



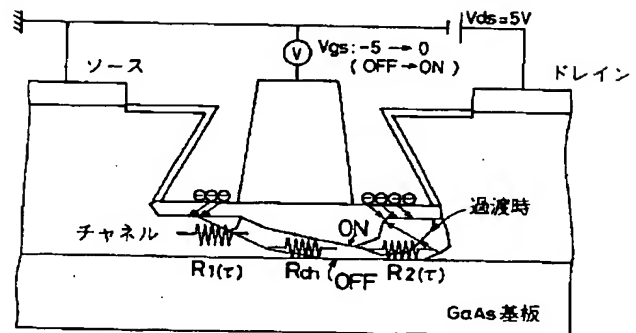
【図22】



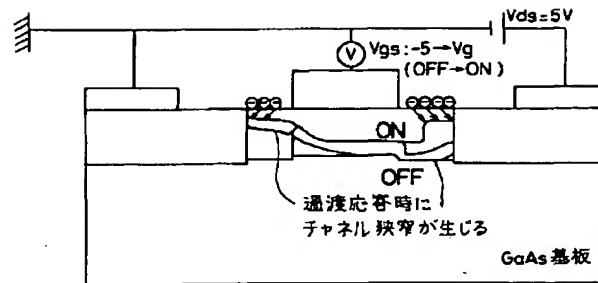
【図23】



【図24】



【図25】



【手続補正書】

【提出日】平成5年8月9日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0002

【補正方法】変更

【補正内容】

【0002】図19、図21は従来の代表的な2つのタイプの電界効果トランジスタを示す断面側面図で、図19はプレーナ型電界効果トランジスタ、図21はリセス型電界効果トランジスタである。図中、1は(100) GaAs基板、2、15はGaAs基板1表面に形成されたn-GaAs層(活性層)、3はWSiよりなるゲート電極、4はゲート電極3近傍の活性層2に形成されたn-GaAsチャンネル層と高濃度ドーピング層の中間のドーピング濃度層である中間濃度ドーピング層、5は後述するソース・ドレイン電極をオーミック接触させるために活性層2に形成された高濃度n-GaAs層、16はTi/Pt/Auよりなるゲート電極、6、7はそれぞれAuGe/Ni/Auよりなるソース及びドレイン電極、21はSiON、SiO、SiN等で形成されたパッシベーションとなる絶縁膜、24は絶縁膜である。また、図20、図22はそれぞれ上記2つのタイプの電界効果トランジスタの製造工程を示す断面側面図である。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0004

【補正方法】変更

【補正内容】

【0004】その後、図20(c)に示すように、WSiゲート3をマスクにして、Si⁺を50KeV、2E12cm⁻²の条件でイオン注入することで中間濃度ドーピング層4を形成する。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正内容】

【0012】従来の電界効果トランジスタでは図23に示すように、ゲート電極に、チャンネルがON/OFFされる振幅で数μsec～数msecの幅をもったパルス電圧が印加された場合に、パルス立下り時(チャンネルONからOFF)にはゲート電圧に対するドレイン電流の遅れはないが、パルス立上り時(ゲートOFFからON時)にドレイン電流に遅延が生じる場合がある。この遅延メカニズムについては様々な議論があり明確な説明はなされていないが、“Modeling the Effects of Surface States on DLTS Spectra of GaAs MESFET’S (IEEE TRANSACTIONS ONELECTRON DEVICES, VOL. 37, NO. 5, p. 1235 (1990))”や“表面準位を考慮したGaAs MESFETゲートラグのシミュレーション(電子情報通信学会技術研究報告, ED91-142 P. 25 (1992))”に示されるようにオーミック電極-ゲート電極間のGaAs表面に局在する表面準位の電子の捕獲、放出に伴う表面欠乏層の変化が最も有力な要因の1つと考えられる。以下この遅延メカニズムの概要を図24に従って説明する。なおこの図では便宜上ドレイン電圧Vds=5V、ゲート電圧を、-5Vのオフ電圧、0Vのオン電圧条件で動作させた場合を示している。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0021

【補正方法】変更

【補正内容】

【0021】上記②の方法については2段リセス構造(“GATE SLOW TRANSIENTS IN GaAs MESFETs—CAUSES, CURES, AND IMPACT ON CIRCUITS”, IEEE IEDM p. 842 1988)、チャンネル上層にi-GaAs層を配した構造(“Step-Recessed Gate Structure with an Undoped Surface Layer for Microwave and Millimeter-Wave H

igh Power, High Efficiency GaAs MESFETs ”, IEICE Transactions, Vol. E74, No. 12, 4141 (1991)) 等が考案されているが、いずれも構造が複雑でまた製造工程も容易でない。また、プレーナ型電界効果トランジスタでは、立上り遅延に対する有効な手段は報告されていない。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0023

【補正方法】変更

【補正内容】

【0023】しかしながら前者の表面単位密度の低減について、硫化アンモニウム処理等の表面処理を行うことが提案されているが、後工程での熱的な安定性に欠けるなどの問題点があり、またドレイン電流遅延に対する効果についても明確でない。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0024

【補正方法】変更

【補正内容】

【0024】また後者のゲートソース・ドレイン間のGaAs表面近傍のドナー密度の増大により表面空乏層厚を抑制する方法であるが、この場合には以下のような問題が生じる。即ちまずリセス型電界効果トランジスタではイオン注入もしくはエピ成長法によりn-GaAs層を形成したのちリセスエッチングを行って所望の活性層厚に調整したのち、ゲート電極を形成するために図21に示すようにゲート電極下とゲート電極ソース・ドレイン電極間の基板中のドナー密度は同じとなる。従ってチャネルのドナー密度はトランジスタの用途により決定されるため、ドナー密度の低いものほどドレイン電流の立上り遅延が大きくなるという問題点があった。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】変更

【補正内容】

【0025】またプレーナ型電界効果トランジスタでは短チャネル効果を抑制するために、図19に示すように、活性層と高濃度n-GaAs層間に活性層よりもドナー密度の高いn-GaAs層を設けているが、この密度は短チャネル効果、ゲート耐圧、ソース抵抗から最適化されており、ドレイン電流の立上り遅延を抑制するのを主たる目的としてこのn-GaAs層のドナー密度を増大することはできない。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0039

【補正方法】変更

【補正内容】

【0039】製造方法については、基本的に図20で示した従来の電界効果トランジスタの場合と同一であるが、WSiゲート電極形成時のガス圧力、印加パワー等のスパッタ条件及びプラズマCVD法によるSiONの成膜条件を最適化することで上記のような応力をもたせけるようにした点が異なる。具体的にはスパッタ時のガス圧力を低下させることにより基板1に対して圧縮応力を有するゲート電極を形成することができる。なお本発明における以下のすべての実施例では、紙面に垂直なゲート方向を〔011〕とし、断面には(011)面が露呈しているものとする。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0040

【補正方法】変更

【補正内容】

【0040】次に作用効果について説明する。WSiゲート電極30及びSiON8の応力を図1に示すように設定した場合、ゲート電極30の端部に集中する応力の総和は(F3 + F8)と強め合い、また方向はゲート電極30からオーミック電極(6, 7)に向かう方向となる。このような応力が印加された場合、一般に知られているように、図1に示すような応力集中箇所であるゲート電極30端部の近傍に高密度の電荷密度分布をもつピエゾ電荷が発生し、ゲート電極30端横には正電荷のピエゾ電荷が発生する。例えば(F3 + F8)の合成応力が3E5 dyne/cmの場合には、ゲート電極30の横の中間濃度ドーピング層4領域内に5E17個/cm³以上の正のピエゾ電荷が発生する。この電荷密度は中間濃度ドーピング層4形成時のイオン注入条件(Si⁺を50KeV, 2E12cm⁻²)でのドナー密度の最大値とほぼ等価となることから、該領域の表面空乏層厚はピエゾ電荷が発生していない場合に比べ約0.7倍以下となり、このため表面空乏層によるチャネル狭窄が低減されドレイン電流の立上り遅延を抑制することができる。なお図中の数字はゲート電極30の近傍に発生する電荷量を規格化した数値を表し、マイナス(−)の付くものは負のピエゾ電荷であることを示し、さらにゲート長1.0μm、ゲート膜厚3000オングストローム、ストレス6E9 dyne/cm²の時のものとする。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0043

【補正方法】変更

【補正内容】

【0043】本実施例では図20(e)に示すように、プレーナ型電界効果トランジスタを形成したのち、図3(a)に示すように、基板1に対して引っ張り応力を有するSiO膜19をウエハ全面にプラズマCVD法により

堆積する。さらにSiO膜19を(CHF₃ + O₂)の混合ガスを用いた反応性イオンエッチングにより異方性エッチングしてWSiゲート電極30の横に引っ張り応力を有するサイドウォール(SiO膜)9aを形成する(図3(b))。最後に圧縮応力を有するSiON膜をトランジスタ上層に堆積することで、図2に示す本実施例による電界効果トランジスタを得ることができる。

【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0044

【補正方法】変更

【補正内容】

【0044】図20(d)に示す工程において、中間濃度ドーピング層4形成時にマスクとして用いるサイドウォールは、イオン注入後の800℃のアニールによる膜ストレスの緩和、及びGaAs基板1とサイドウォール膜間の反応等の問題があるため、一旦サイドウォールを除去してトランジスタを形成した後に再度サイドウォール9aを形成することにより上述のような問題を回避することができる。

【手続補正12】

【補正対象書類名】明細書

【補正対象項目名】0045

【補正方法】変更

【補正内容】

【0045】次に本実施例の作用効果について説明する。WSiゲート電極30の横のGaAs層中に発生するピエゾ電荷密度は、ゲート電極端に集中するWSiゲート電極30の圧縮応力F₃、及びサイドウォール9aの引っ張り応力F₉の合成応力(F₃ + F₉)により発生する正のピエゾ電荷密度と、サイドウォール9aとSiON膜10の界面に集中する、サイドウォール9aの引っ張り応力F₉とSiON膜の圧縮応力F₁₀の合成応力(F₉ + F₁₀)により発生する正のピエゾ電荷密度の和となる。またこのピエゾ電荷密度はWSiゲート電極3の端部と、サイドウォール9a/SiON膜10境界の2つの応力集中点間の距離が短いほど高くなるが、サイドウォール9a/SiON膜10境界のSiON膜10下のGaAs基板中には逆に負のピエゾ電荷が発生して表面空乏層を拡張する方向に働くため、サイドウォール9aの幅は中間濃度ドーピング層4の幅と同程度にするのが好ましい。この場合には負のピエゾ電荷は高濃度n-GaAs層5領域内に発生することとなり表面空乏層への影響はほとんどなくなる。

【手続補正13】

【補正対象書類名】明細書

【補正対象項目名】0047

【補正方法】変更

【補正内容】

【0047】また第1の実施例のように、WSiゲート

電極30の横のGaAs層中に高密度の正のピエゾ電荷が発生させた場合には、WSiゲート電極30下の活性層2内に負のピエゾ電荷が発生することとなり、この負のピエゾ電荷がもう一方のゲート電極負側の応力により発生する負のピエゾ電荷と重畳して活性層2中に高密度の負のピエゾ電荷が発生し、ピンチオフ電圧、相互コンダクタンス等のトランジスタ性能を変化させる。またこの現象は2つの応力集中箇所の距離が短くなる短ゲート長を有する電界効果トランジスタほど顕著になるといった問題がある。しかしながら本実施例では、WSiゲート電極30の端部で生じる応力によりWSiゲート電極30下の活性層2中に発生する負のピエゾ電荷が、サイドウォール9a/SiON膜10境界で生じる応力により該活性層に発生する正のピエゾ電荷により打ち消されるため、トランジスタ特性への影響を低減できるという利点がある。

【手続補正14】

【補正対象書類名】明細書

【補正対象項目名】0051

【補正方法】変更

【補正内容】

【0051】このように本実施例によれば、第1のサイドウォール9aに隣接して圧縮応力を有する第2のサイドウォール11aを形成するようにしたから、WSiゲート電極30の圧縮応力F₃、サイドウォール9aの引っ張り応力F₉の合成応力(F₃ + F₉)により発生する正のピエゾ電荷密度と、第1のサイドウォール9aと第2のサイドウォール11aの界面に集中する、サイドウォール9aの引っ張り応力F₉とSiON膜11aの圧縮応力F₁₁の合成応力(F₉ + F₁₁)により発生する正のピエゾ電荷密度の和に相当する正のピエゾ電荷密度がWSiゲート電極30の横のGaAs層中に発生することとなる。このため、上記第2の実施例と同様に、約2倍の密度を有するピエゾ電荷が発生し、第1の実施例に比べて表面空乏層厚をより低減できる。また、WSiゲート電極30の端部で生じる応力によりWSiゲート電極30下の活性層2中に発生する負のピエゾ電荷が、サイドウォール9a/SiON膜10境界で生じる応力により該活性層に発生する正のピエゾ電荷により打ち消されるため、トランジスタ特性への影響を低減できる利点がある。

【手続補正15】

【補正対象書類名】明細書

【補正対象項目名】0052

【補正方法】変更

【補正内容】

【0052】また、パッシベーション膜に低ストレスのもの(SiON膜13)を用いることができるため、上記第1及び第2の実施例の構造を有する電界効果トランジスタをMMIC等に適用した場合に生じる、後工程で

の高ストレス膜（SiON膜8、SiON膜10）の剥がれや亀裂等の問題を低減することができる。

【手続補正16】

【補正対象書類名】明細書

【補正対象項目名】0055

【補正方法】変更

【補正内容】

【0055】次に製造方法について図7に従って説明する。本発明の製造方法はトランジスタが形成されるまではゲート電極の形成条件が異なる点を除いては従来のプレーナ型電界効果トランジスタの製造方法で述べた図20(a)～(e)までの製造工程とほぼ同一であり、これ以降の工程についてのみ説明する。図7(a)に示すように、プレーナ型電界効果トランジスタを形成したのち、圧縮応力を有するSiON膜12をウエハ全面にプラズマCVD法により堆積する。さらにWSiゲート電極30とゲート電極30両側の基板面の一部に対応する部分が開口されるようにフォトリソをパターンニングし、SiN膜12を(CHF₃+O₂)の混合ガスを用いた反応性イオンエッチングにより異方性エッチングする。この場合、WSiゲート電極30の横にはSiN膜からなるサイドウォールが形成されるが、後に(30:1)のBHFにてウェット処理することで上記サイドウォールを除去し、図7(b)に示すように、高濃度n-GaAs層5表面にSiN膜12aを有するパターンを得る。

【手続補正17】

【補正対象書類名】明細書

【補正対象項目名】0057

【補正方法】変更

【補正内容】

【0057】このように本実施例によれば、圧縮応力を有するゲート電極30を設けるとともに、ゲート電極30近傍を除いて圧縮応力を有するSiN膜12aを設け、さらに上記ゲート電極30の近傍を含む上記基板全面に引っ張り応力を有するSiON膜18を形成するようにしたから、WSiゲート電極30の圧縮応力F₃、SiON膜18の引っ張り応力F₁₈の合成応力(F₃+F₁₈)により発生する正のピエゾ電荷密度と、SiON膜18とSiN膜12aの界面に集中する、SiON膜18の引っ張り応力F₁₈とSiN膜12aの圧縮応力F₁₂の合成応力(F₁₈+F₁₂)により発生する正のピエゾ電荷密度の和に相当する正のピエゾ電荷密度がWSiゲート電極30の横のGaAs層中に発生することとなり、上記第2の実施例と同様に約2倍の密度を有するピエゾ電荷が発生し、表面空乏層をより低減できる。

【手続補正18】

【補正対象書類名】明細書

【補正対象項目名】0061

【補正方法】変更

【補正内容】

【0061】次に作用効果について説明する。WSiゲート電極30の端部に集中する応力は、WSiゲート電極30の圧縮応力とSiON膜14の圧縮応力の合力F₃₁と、SiON膜8の引っ張り応力F₈の和となる。また応力F₈は近似的にSiON膜8のストレスSとゲート電極30側壁でのその膜厚tとの積(F₈≒S×t)であるため、上記第1の実施例に比べて応力F₈の値が大きくなる。このようにゲート電極30端部への応力をさらに強めることで、より高密度のピエゾ電荷を発生せしめ、その結果、表面空乏層厚をより低減することが可能となる。

【手続補正19】

【補正対象書類名】明細書

【補正対象項目名】0063

【補正方法】変更

【補正内容】

【0063】以下、製造方法について説明する。まず実施例5の製造方法である図9に示すように活性層2上にWSiゲート3/SiON膜14の2層パターンを形成したのち、従来の電界効果トランジスタの製造方法に従ってイオン注入を行い中間濃度ドーピング層4、高濃度n-GaAs層5を形成する。

【手続補正20】

【補正対象書類名】明細書

【補正対象項目名】0071

【補正方法】変更

【補正内容】

【0071】すなわち図14に示すように、高濃度n-GaAs層50が基板厚方向に深くなるにつれてゲート電極3に近づくように形成されている。

【手続補正21】

【補正対象書類名】明細書

【補正対象項目名】0073

【補正方法】変更

【補正内容】

【0073】その後、図15(c)に示すように、イオン注入時の注入ポイントを調整するために例えば約200オングストロームのSiN膜20を堆積したのち、WSiゲート電極3をマスクにしてSiを50KeV、1E12cm⁻²の条件で90度の角度でイオン注入することで中間濃度ドーピング層4を形成する。

【手続補正22】

【補正対象書類名】明細書

【補正対象項目名】0077

【補正方法】変更

【補正内容】

【0077】実施例9. 次に本発明の第9の実施例による電界効果トランジスタ及びその製造方法について説明する。この実施例では中間濃度ドーピング層も斜めイオン注入によって形成するようにしたものであり、図16

の示すように、ゲート電極3下方にその先端部分がゲート電極とオーバラップするようにn-GaAsチャネル層と高濃度ドーピング層の中間のドーピング濃度層である中間濃度ドーピング層40が形成されている。

【手続補正23】

【補正対象書類名】明細書

【補正対象項目名】0078

【補正方法】変更

【補正内容】

【0078】次に製造方法について説明する。本実施例の製造方法は上記第8の実施例に準拠するが、図15(c)の工程において、本実施例では図17(c)に示すように、WSiゲート電極3をマスクとして、Si⁺を50KeV、1E12cm⁻²の条件で60度の角度で左右から斜めイオン注入することで、ゲート電極3下方にその一部がオーバラップする中間濃度ドーピング層40を形成する点が異なる。

【手続補正24】

【補正対象書類名】明細書

【補正対象項目名】0079

【補正方法】変更

【補正内容】

【0079】次に作用効果について説明する。本実施例では、斜めイオン注入によって中間濃度ドーピング層40並びに高濃度n-GaAs層50を形成するようにしたから、よりピンチオフポイントがドレイン電極7端からソース電極6寄りになり、トランジスタOFF状態からON状態に変化した際の表面空乏層厚の変化のゲート電極下の空乏層厚の変化に対する追従性が一層向上する。

【手続補正25】

【補正対象書類名】明細書

【補正対象項目名】0080

【補正方法】変更

【補正内容】

【0080】実施例10. 次に本発明の第10の実施例による電界効果トランジスタ及びその製造方法について説明する。上記第9の実施例では、チャネルの狭窄をソース、ドレイン両側で抑制しようとした場合について述べたが、この場合、ソース側での中間濃度ドーピング層のゲート電極下へのオーバラップがゲート・ソース間容量の増大につながるという問題が生じる。この実施例では図18に示すように、斜めイオン注入時に、ソース電極6側からの注入角度、量を減らすことでソース電極6側の中間濃度ドーピング層40aのゲート電極3下へのオーバラップをドレイン電極8側の中間濃度ドーピング層40のオーバラップ量に比較して抑制するようにしたものであり、これにより容易にソース・ゲート間容量を低減することが可能となる。

【手続補正26】

【補正対象書類名】明細書

【補正対象項目名】図面の簡単な説明

【補正方法】変更

【補正内容】

【図面の簡単な説明】

【図1】この発明の第1の実施例によるプレーナ型の電界効果トランジスタを示す断面図である。

【図2】この発明の第2の実施例によるプレーナ型の電界効果トランジスタを示す断面図である。

【図3】上記プレーナ型の電界効果トランジスタの製造方法を説明するための断面図である。

【図4】この発明の第3の実施例によるプレーナ型の電界効果トランジスタを示す断面図である。

【図5】上記プレーナ型の電界効果トランジスタの製造方法を説明するための断面図である。

【図6】この発明の第4の実施例によるプレーナ型の電界効果トランジスタを示す断面図である。

【図7】上記プレーナ型の電界効果トランジスタの製造方法を説明するための断面図である。

【図8】この発明の第5の実施例によるプレーナ型の電界効果トランジスタを示す断面図である。

【図9】上記プレーナ型の電界効果トランジスタの製造方法を説明するための断面図である。

【図10】この発明の第6の実施例によるプレーナ型の電界効果トランジスタを示す断面図である。

【図11】上記プレーナ型の電界効果トランジスタの製造方法を説明するための断面図である。

【図12】この発明の第7の実施例によるプレーナ型の電界効果トランジスタを示す断面図である。

【図13】上記リセス型の電界効果トランジスタの製造方法を説明するための断面図である。

【図14】この発明の第8の実施例によるプレーナ型の電界効果トランジスタを示す断面図である。

【図15】上記プレーナ型の電界効果トランジスタの製造方法を説明するための断面図である。

【図16】この発明の第9の実施例によるプレーナ型の電界効果トランジスタを示す断面図である。

【図17】上記プレーナ型の電界効果トランジスタの製造方法を説明するための断面図である。

【図18】この発明の第10の実施例によるプレーナ型の電界効果トランジスタを示す断面図である。

【図19】従来のプレーナ型の電界効果トランジスタを示す断面図である。

【図20】従来のプレーナ型の電界効果トランジスタの製造方法を説明するための断面図である。

【図21】従来のリセス型の電界効果トランジスタを示す断面図である。

【図22】従来のリセス型の電界効果トランジスタの製造方法を説明するための断面図である。

【図23】パルスゲート電圧に対するドレイン電流の過

渡応答遅延を示す信号波形図である。

【図24】リセス型の電界効果トランジスタにおけるパルスゲート電圧に対するドレイン電流の過渡応答遅延のメカニズムを示す概略図である。

【図25】プレーナ型の電界効果トランジスタにおけるパルスゲート電圧に対するドレイン電流の過渡応答遅延のメカニズムを示す概略図である。

【符号の説明】

- | | | | |
|-----|-------------------|------|-------------------|
| 1 | (100) GaAs 基板 | 9 b | 引っ張り応力を有する SiO 膜 |
| 2 | 活性層 (n-GaAs 層) | 10 | 圧縮応力を有する SiON 膜 |
| 3 | WSi ゲート電極 | 11 | 圧縮応力を有する SiN 膜 |
| 30 | ゲート電極 | 11 a | 圧縮応力を有する SiN 膜 |
| 4 | 中間濃度ドーピング層 | 12 | 圧縮応力を有する SiN 膜 |
| 40 | 中間濃度ドーピング層 | 12 a | 圧縮応力を有する SiN 膜 |
| 5 | 高濃度 n-GaAs 層 | 13 | 低ストレスを有する SiON 膜 |
| 50 | 高濃度 n-GaAs 層 | 14 | 圧縮応力を有する SiON 膜 |
| 6 | ソース電極 | 15 | n-GaAs 層 |
| 7 | ドレイン電極 | 16 | Ti/Pt/Au ゲート電極 |
| 8 | 引っ張り応力を有する SiON 膜 | 17 | 圧縮応力を有する SiON 膜 |
| 9 | サイドウォール | 17 a | 圧縮応力を有するサイドウォール |
| 9 a | 引っ張り応力を有する SiO 膜 | 18 | 引っ張り応力を有する SiON 膜 |
| | | 19 | 引っ張り応力を有する SiO 膜 |
| | | 20 | SiN 膜 |
| | | 21 | SiN 膜 |
| | | 22 | 引っ張り応力を有する SiO 膜 |
| | | 23 | ホトレジスト |
| | | 24 | 絶縁膜 |
| | | 39 | SiO 膜 |

フロントページの続き

| (51) Int. Cl. ⁵ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|----------------------------|------|-----------|---------------|--------|
| H 0 1 L 21/302 | | F 9277-4M | | |
| 21/318 | | C 7352-4M | | |
| | | 7376-4M | H 0 1 L 29/80 | M |